

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-277530

(43)Date of publication of application : 06.10.2000

(51)Int.Cl.

H01L 21/331
H01L 29/73
H01L 29/205

(21)Application number : 11-082217

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.03.1999

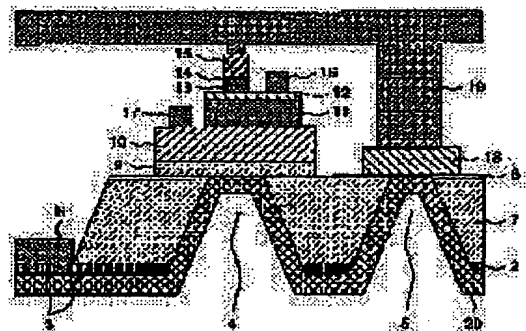
(72)Inventor : MOCHIZUKI KAZUHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device, which has a heterojunction bipolar transistor and is highly integrated.

SOLUTION: When a via hole is formed at the backside of a semiconductor substrate, a semiconductor device is manufactured as follows without using a double-sided contact aligner: the device is manufactured into such a structure that a first semiconductor layer 2 having etching characteristics different from those of the substrate is formed on the substrate, a hole is formed at the formation position of the via hole 5, which is formed in the layer 2, and moreover, alignment marks 3 are formed on the layer 2, a second semiconductor layer 7, which is formed with the via hole 5, is formed on the layer 2, the substrate is etched and moreover, the layer 7 is etched from the hole to form the via hole at the backside of the substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-277530

(P2000-277530A)

(43) 公開日 平成12年10月6日 (2000.10.6)

(51) Int. Cl. ⁷	識別記号	F I	ターマコード (参考)
H 0 1 L 21/331		H 0 1 L 29/72	5 F 0 0 3
29/73		29/205	
29/205			

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21) 出願番号 特願平11-82217

(22) 出願日 平成11年3月25日 (1999.3.25)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 望月 和浩

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100061893

弁理士 高橋 明夫 (外1名)

Fターム (参考) 5F003 AP04 AP08 BA11 BA29 BA92

BC02 BC90 BF06 BH01 BH07

BH08 BH18 BH99 BJ06 BJ99

BM03 BP11 BP12 BP32 BP41

BP96 BS07 BS08

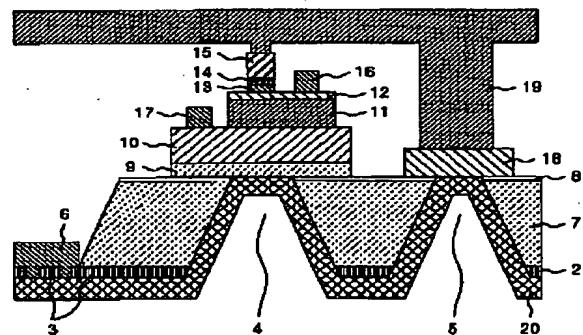
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】ヘテロ接合バイポーラトランジスタを有し、高集積化した半導体装置の製造方法を提供すること。

【解決手段】基板裏面にバイアホールを形成する際、両面コンタクトアライナを用いることなく、次のように半導体装置を作製する。半導体基板上に、半導体基板とエッチング特性の異なる第1の半導体層(2)を形成し、第1の半導体層のバイアホール(5)の形成位置にホールを、さらに合わせマーク(3)を形成し、第1の半導体層上に、バイアホール(5)が形成される第2の半導体層(7)を形成し、半導体基板をエッチングし、さらに上記ホールから第2の半導体層をエッチングしてバイアホールを形成するようにした半導体装置の製造方法。

図 1



2...アンドープInGaP層 3...合わせマーク 4...放熱穴
5...バイアホール 6...SiO₂ 7...アンドープGaAsバッファ層
8...アンドープInGaPエッチングストップ層
9...アンドープGaAsバッファ層
10...高ドーパント型GaAsサブコレクタ層
11...n型GaAsコレクタ層 12...高ドーパント型GaAsベース層
13...n型InGaPエミッタ層
14...高ドーパント型InGaAsキャップ層 15...エミッタ電極
16...ベース電極 17...コレクタ電極 18...バイアホール用側面電極
19...空中配線 20...基板裏面被着金属膜

【特許請求の範囲】

【請求項1】半導体基板上に、該半導体基板とエッチング特性の異なる第1の半導体層を形成する第1の工程、該第1の半導体層に、バイアホールの形成位置にホールを、所望の位置に合わせマークを形成する第2の工程、上記第1の半導体層上に、バイアホールが形成される第2の半導体層を形成する第3の工程及び上記半導体基板をエッチングし、さらに上記ホールから上記第2の半導体層をエッチングしてバイアホールを形成する第4の工程からなることを特徴とする半導体装置の製造方法。

【請求項2】上記半導体基板及び上記第2の半導体層はGaAsであり、上記第1の半導体層はInGaPであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】上記第3の工程の後で上記第4の工程の前に、上記第2の半導体層の上に、バイポーラトランジスタの少なくとも一部を形成する工程を有することを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】上記第2の工程の後で上記第3の工程の前に、上記合わせマーク上に、上記第2の半導体層をエッチングするときのエッチングストッパー層を形成することを特徴とする請求項1から3のいずれかに記載の半導体装置の製造方法。

【請求項5】上記第3の工程において、上記第2の半導体層の上に、上記第2の半導体層とエッチング特性の異なる第3の半導体層を形成し、上記第3の工程の後で上記第4の工程の前に、上記バイアホールが形成される位置を覆うようにバイアホール用表面電極を形成し、上記第4の工程において、上記バイアホールが形成された後に、上記第3の半導体層をエッチングして、上記バイアホール用表面電極の下面を露出させることを特徴とする請求項1から4のいずれかに記載の半導体装置の製造方法。

【請求項6】上記第2の工程において、上記バイポーラトランジスタの形成される下方の上記第1の半導体層に、第2のホールを形成し、上記第4の工程において、該第2のホールから上記第2の半導体層をエッチングして放熱穴を形成することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項7】バイアホールが形成された第2の半導体層と、該第2の半導体層の下に配置され、該第2の半導体層とエッチング特性が異なる第1の半導体層と、上記第2の半導体層の上部に配置されたバイポーラトランジスタと、上記バイアホールを覆うバイアホール用表面電極とを有し、上記第1の半導体層は、合わせマークと、上記バイアホールの下に設けられたホールとを有し、上記バイポーラトランジスタのエミッタ電極、ベース電極又はコレクタ電極と上記バイアホール用表面電極とは電気的に接続されたことを特徴とする半導体装置。

【請求項8】上記第1の半導体層及び上記第2の半導体

層は、上記バイポーラトランジスタの下方の位置に放熱穴を有することを特徴とする請求項7記載の半導体装置。

【請求項9】上記第1の半導体層及び上記第2の半導体層は、いずれも化合物半導体であることを特徴とする請求項7又は8記載の半導体装置。

【請求項10】上記第1の半導体層はInGaPであり、上記第2の半導体層はGaAsであることを特徴とする請求項9記載の半導体装置。

【請求項11】上記第1の半導体層に設けられた上記合わせマークの上に、上記第2の半導体層とエッチング特性が異なる材料からなるエッチングストッパー層を有することを特徴とする請求項7から10のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、化合物半導体を用いたヘテロ接合バイポーラトランジスタ（以下、HBTと略す）を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】化合物半導体HBTは、化合物半導体電界効果トランジスタに比較して出力パワー密度が高く、小さな面積でより大きな出力を得ることができるため、マイクロ波帯やミリ波帯における高出力増幅器用トランジスタとしてしばしば用いられる。ところが、高出力パワー密度の故に単位面積当たりの発熱量も高く、トランジスタが熱暴走を起こし易い。例えばGaAs基板の場合、通常基板厚さを30から100μm程度に薄くして、熱放散をよくすることにより、トランジスタ間隔をつめてチップ面積を小さくしていた。

【0003】このような基板からの熱放散に加えて、エミッタ電極配線からバイアホールを介して基板裏面へ熱放散させることも効果のあることが、アイ・イー・イー・イー・エム・ティー・ティー・エス・ダイジェスト1997年第259ページから第262ページ（IEEE MTT-S Digest pp. 259~262）に開示されている。ここでバイアホールとは基板裏面から表面電極へ電気的接続を得るためにあけた基板貫通穴のことであり、金属膜が被着されている。

【0004】

【発明が解決しようとする課題】上記従来技術により作製されたHBTの縦断面構造を図10に示す。この従来技術では、半導体基板1上に、アンドープGaAsバッファ層9、高ドーブn型GaAsサブコレクタ層10、n型GaAsコレクタ層11、高ドーブp型GaAsベース層12が積層され、さらに、HBTが作製され、バイアホール用表面電極18とHBTのエミッタ電極15が空中配線19で接続されている。ここでバイアホール5が形成される際に、半導体基板1を厚さ30~100

μm まで裏面から研磨し、ホトレジストを塗布後、両面コンタクトアライナを用いて半導体基板1表面に形成されたボタンに合わせて、バイアホールボタンを露光していた。しかし、両面コンタクトアライナの合わせ精度は $\pm 10\mu\text{m}$ 程度と悪いため、例えば底面積 $40\mu\text{m} \times 40\mu\text{m}$ のバイアホール5を形成する場合、バイアホール用表面側金属膜18は、合わせ余裕を考えて最低 $80\mu\text{m} \times 80\mu\text{m}$ の底面積が必要であった。このバイアホール用表面側金属膜18の大きさがHBTチップサイズを縮小する際の問題となっていた。

【0005】本発明の第1の目的は、HBTを有し、高集積化した半導体装置を提供することにある。本発明の第2の目的は、HBTを有し、高集積化した半導体装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記第1の目的を達成するために、本発明の半導体装置は、バイアホールが形成された第2の半導体層と、この第2の半導体層の下に配置され、第2の半導体層とエッチング特性が異なる第1の半導体層と、第2の半導体層の上部に配置されたバイポーラトランジスタと、上記のバイアホールを覆うバイアホール用表面電極とを有し、この第1の半導体層が、合わせマークと、バイアホールの下に設けられたホールとを有し、さらにバイポーラトランジスタのエミッタ電極、ベース電極又はコレクタ電極とバイアホール用表面電極とを電気的に接続するようにしたものである。

【0007】この半導体装置で第1の半導体層及び第2の半導体層は、さらにバイポーラトランジスタの下方の位置に放熱穴を有することが好ましい。また、第1の半導体層及び第2の半導体層は、いずれも化合物半導体であることが好ましい。例えば、第1の半導体層をInGaP、第2の半導体層をGaAsとすることが好ましい。さらに、第1の半導体層に設けられた合わせマークの上に、第2の半導体層とエッチング特性が異なる材料からなるエッチングストッパー層を設けてもよい。

【0008】また、上記第2の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上に、この半導体基板とエッチング特性の異なる第1の半導体層を形成し、第1の半導体層に、バイアホールの形成位置にホールを、所望の位置に合わせマークを形成し、第1の半導体層上に、バイアホールが形成される第2の半導体層を形成し、半導体基板をエッチングし、さらにホールから第2の半導体層をエッチングしてバイアホールを形成するようにしたものである。

【0009】この方法に用いる半導体基板、第1及び第2の半導体層は、化合物半導体であることが好ましい。また、第3の工程の後、第4の工程の前に、第2の半導体層の上に、バイポーラトランジスタの少なくとも一部を形成することが好ましい。さらに、第2の工程の後で第3の工程の前に、合わせマーク上に、第2の半導体層

をエッチングするときのエッチングストッパー層を形成することが好ましい。

【0010】また、第3の工程において、第2の半導体層の上に、第2の半導体層とエッチング特性の異なる第3の半導体層を形成し、第3の工程の後で第4の工程の前に、バイアホールが形成される位置を覆うようにバイアホール用表面電極を形成し、第4の工程において、バイアホールが形成された後に、第3の半導体層をエッチングして、バイアホール用表面電極の下面を露出させるようにすることが好ましい。また、第2の工程において、バイポーラトランジスタの形成される位置の下方の第1の半導体層に、第2のホールを形成し、第4の工程において、この第2のホールから第2の半導体層をエッチングして放熱穴を形成するようにすることが好ましい。

【0011】

【発明の実施の形態】〈実施例1〉本実施例では、InGaP/GaAsHBTを有する半導体装置の製造方法について説明する。図2に示すように、初めに厚さ $600\mu\text{m}$ のGaAs基板1上に、有機金属気相エピタキシー法により、アンドープInGaP層(InPモル比0.5、膜厚 300nm)2を 650°C にて成長させる。

【0012】続いて、ホトリソグラフィ及び塩酸水溶液を用いたウエットエッチングにより、アンドープInGaP層2をエッチングし、ホトリソグラフィ用合わせマーク3の形成と、トランジスタからの発熱を逃がす放熱穴の形成領域4'と、バイアホールの形成領域5'の規定を行う。そして、合わせマーク3保護用のSiO₂膜(厚さ $0.8\mu\text{m}$)6を堆積し、ホトリソグラフィとフッ酸水溶液による加工を行う(図3)。

【0013】その後、有機金属気相エピタキシー法を用いて、SiO₂膜6により被覆されていないGaAs基板1の表面領域に、HBT用エピタキシャル層として、アンドープGaAsバッファ層(膜厚 $30\mu\text{m}$)7、アンドープInGaPエッチングストッパー層(InPモル比0.5、膜厚 20nm)8、アンドープGaAsバッファ層(膜厚 200nm)9、高ドーブn型GaAsサブコレクタ層(Si濃度 $5 \times 10^{11}\text{cm}^{-3}$ 、膜厚 $0.8\mu\text{m}$)10、n型GaAsコレクタ層(Si濃度 $1 \times 10^{11}\text{cm}^{-3}$ 、膜厚 $0.8\mu\text{m}$)11、高ドーブp型GaAsベース層(C濃度 $4 \times 10^{11}\text{cm}^{-3}$ 、膜厚 70nm)12、n型InGaPエミッタ層(InPモル比0.5、Si濃度 $3 \times 10^{11}\text{cm}^{-3}$ 、膜厚 $0.1\mu\text{m}$)13、高ドーブn型InGaAsキャップ層(InAsモル比は0から0.5まで徐々に変化、Si濃度は $5 \times 10^{11}\text{cm}^{-3}$ から $4 \times 10^{11}\text{cm}^{-3}$ まで徐々に変化、膜厚 $0.1\mu\text{m}$)14を 650°C にて成長させる。。この際、成長側面(図の左方)には{111}面が現れ、SiO₂膜6上への半導体形成は見られない(図4)。

【0014】試料を結晶成長装置から取り出した後に、WSi（膜厚0.3 μ m）を高周波スパッタ法によりGaAs基板1表面全面に堆積し、以下、合わせマーク3を用いてホトリソグラフィー及びドライエッチングによりエミッタ電極（幅2 μ m、長さ20 μ m）15の加工を行う。続いて、エミッタ電極15をマスクに、高ドーブInGaAsキャップ層14をリン酸、過酸化水素水、水の混合液又は硫酸、過酸化水素水、水の混合液のいずれかによりエッチングする。この際、n型InGaPエミッタ層13は全くエッチングされない。引き続き、エミッタ電極15をマスクに、n型InGaPエミッタ層13を塩酸水溶液によりエッチングする。この際、GaAsベース層12は全くエッチングされない（図5）。

【0015】その後、ホトリソグラフィー及びリン酸、過酸化水素水、水の混合液又は硫酸、過酸化水素水、水の混合液のいずれかを用いたウェットエッチングにより、高ドーブp型GaAsベース層12及びn型GaAsコレクタ層11のエッチングを行う。引き続き、ホトリソグラフィー及びリン酸、過酸化水素水、水の混合液又は硫酸、過酸化水素水、水の混合液を用いたウェットエッチングにより、高ドーブn型GaAsサブコレクタ層10及びアンドーブGaAsバッファ層9のエッチングを行い、アンドーブInGaPエッチングストップ層8の表面の一部を露出させる。そして、リフトオフ法を用いてAu（200nm）/Pt（50nm）/Ti（50nm）/Pt（20nm）からなるベース電極16、Au（200nm）/Ni（10nm）/W（10nm）/AuGe（80nm）からなるコレクタ電極17及びバイアホール用表面電極18（底面積41 μ m \times 41 μ m、材料の積層構造はコレクタ電極17に同じ）の形成を行い、350 $^{\circ}$ C、30分間のアロイを行う（図6）。

【0016】引き続き、Au（0.8 μ m）/Mo（0.1 μ m）からなるベース配線及びコレクタ配線を、電子ビーム蒸着及びホトリソグラフィーとイオンミリングにより形成する（図示せず）。エミッタ配線にはホトレジストを用いた選択メッキ法により形成したAu（4 μ m）の空中配線19を用い、バイアホール用表面電極18と接続する。そして、リン酸、過酸化水素水、水の混合液又は硫酸、過酸化水素水、水の混合液のいずれかを用いて、GaAs基板1のウェットエッチングを行う。その際、ホトリソグラフィー用合わせマーク3及びSiO₂膜6ではエッチングが停止するのに対し、放熱穴4の形成領域及びバイアホール5の形成領域ではアンドーブGaAsバッファ層7もエッチングが進行し、アンドーブInGaPエッチングストップ層8の裏面でエッチングが停止する（図7）。

【0017】その後、塩酸水溶液を用いたウェットエッチングにより、アンドーブInGaPエッチングスト

ップ層8を除去する。その際、アンドーブInGaP層2は20～50nm程度エッチングされ、250～280nm程度の膜厚となる。最後に、Au（800nm）/Ti（100nm）のスパッタ蒸着及びAuメッキ（膜厚10 μ m）により基板裏面被着金属膜20をアンドーブInGaP層2、SiO₂膜6、アンドーブGaAsバッファ層7及び9、バイアホール用表面電極18に接するように形成する（図1）。

【0018】本実施例では、バイアホール5形成時に従来技術のように両面コンタクトアライナを用いてバイアホール用ボタンを表面電極18に合わせる必要がなく、バイアホール5がバイアホール用表面電極18と±0.5 μ m以内の精度で形成できるため、バイアホール5の底面積を従来の80 μ m \times 80 μ mに対して27%の大きさまで縮小できる効果がある。

【0019】図8には本実施例により、図11には従来技術によりそれぞれ作製された30 μ m \times 40 μ mのトランジスタ領域21を8個並べた並列トランジスタボタンを4列配置したHBTチップの平面図を示す。並列トランジスタボタンの中央に、放熱及びエミッタインダクタンス低減を目的にバイアホールが挿入されており、バイアホール用表面電極18とトランジスタ領域21のエミッタ電極（図示せず）とはメッキ配線19を介して接続されている。従来技術ではバイアホール用表面金属膜18の底面積が大きく、チップ面積が0.50mm \times 0.50mmと大きかった（図11）のに対し、本発明ではバイアホール用表面電極18の底面積が小さくなった結果、チップ面積を0.30mm \times 0.46mmと従来の55%に低減できた。トランジスタ領域21は、一例として8個並べたもので、この数は適宜変更できる。

【0020】さらに、本発明では従来技術に開示されていなかった放熱穴4をバイアホール5と同時に形成できるため、従来技術よりもトランジスタからの放熱特性に優れる結果、図8に示すように、トランジスタ領域21の間隔を従来技術よりも小さくできるため、さらにHBTチップ面積を0.30mm \times 0.41mmにまで小さくできる効果もある。

【0021】〈実施例2〉実施例1で述べた高出力増幅器用InGaP/GaAsHBTを用いた、モノリシック・マイクロ波集積回路（MMIC）について説明する（図9）。用いたトランジスタのエミッタ面積は2 μ m \times 20 μ mであり、図8に示したトランジスタ領域21が8 \times 4個配列されていて、各々のトランジスタ領域21はエミッタを2本有する構造となっている。このような64個のトランジスタ並列接続した構造となっている。また、初段トランジスタの並列数は16としている。初段及び出力段用トランジスタのバイアス回路と入力整合回路及び段間整合回路もトランジスタと同じGaAs基板上に集積化してMMICチップ23を構成する。このMMICチップにおける2/3の領域は出力段

トランジスタが占有しており、その中に占めるバイアホールの面積低減及びトランジスタ領域21間隔の低減により、MMICチップ面積は従来技術(図12)の0.63mm×0.51mmに対し、本実施例では0.46mm×0.42mmと60%に低減できる効果がある。

【0022】本実施例によれば、MMICチップ面積低減に加えて、熱放散に優れたHBTによるMMICを構成できるため、トランジスタ間隔を詰められる結果、MMICのチップ面積を小さくでき、製造コストを低減できる効果もある。

【0023】

【発明の効果】本発明によれば、合わせ精度の悪い両面コンタクトアライナを用いずに、精度よくバイアホールをバイアホール用表面金属膜に形成でき、半導体装置の占める面積が小さくなる。また、放熱穴を形成したときは、発熱量の多いエミッタ電極直下から半導体基板へ熱が効率的に逃げるHBTを実現できる結果、半導体装置の占める面積がさらに小さくなり、製造コストが下がる。

【図面の簡単な説明】

【図1】本発明の実施例1のInGaP/GaAsヘテロ接合バイポーラトランジスタを有する半導体装置の縦断面構造図である。

【図2】本発明の実施例1のInGaP/GaAsヘテロ接合バイポーラトランジスタの第1の製造工程図である。

【図3】本発明の実施例1のInGaP/GaAsヘテロ接合バイポーラトランジスタの第2の製造工程図である。

【図4】本発明の実施例1のInGaP/GaAsヘテロ接合バイポーラトランジスタの第3の製造工程図である。

【図5】本発明の実施例1のInGaP/GaAsヘテロ接合バイポーラトランジスタの第4の製造工程図である。

【図6】本発明の実施例1のInGaP/GaAsヘテロ接合バイポーラトランジスタの第5の製造工程図である。

【図7】本発明の実施例1のInGaP/GaAsヘテロ接合バイポーラトランジスタの第6の製造工程図である。

【図8】本発明の実施例1のInGaP/GaAsヘテ

ロ接合バイポーラトランジスタ及びバイアホールを並列に配置したトランジスタチップの平面図である。

【図9】本発明の実施例2のInGaP/GaAsヘテロ接合バイポーラトランジスタを用いた高出力増幅器用モノリシック・マイクロ波集積回路の構成を示す平面図である。

【図10】従来のヘテロ接合バイポーラトランジスタ及びバイアホールを有する半導体装置の縦断面構造図である。

【図11】従来のヘテロ接合バイポーラトランジスタ及びバイアホールを並列に配置したトランジスタチップの平面図である。

【図12】従来のInGaP/GaAsヘテロ接合バイポーラトランジスタを用いた高出力増幅器用モノリシック・マイクロ波集積回路の構成を示す平面図である。

【符号の説明】

1…GaAs基板

2…アンドープInGaP層

3…合わせマーク

4…放熱穴

4'…放熱穴の形成領域

5…バイアホール

5'…バイアホールの形成領域

6…SiO₂

7…アンドープGaAsバッファ層

8…アンドープInGaPエッチングストップ層

9…アンドープGaAsバッファ層

10…高ドーブn型GaAsサブコレクタ層

11…n型GaAsコレクタ層

12…高ドーブp型GaAsベース層

13…n型InGaPエミッタ層

14…高ドーブn型InGaAsキャップ層

15…エミッタ電極

16…ベース電極

17…コレクタ電極

18…バイアホール用表面電極

19…空中配線

20…基板裏面被着金属膜

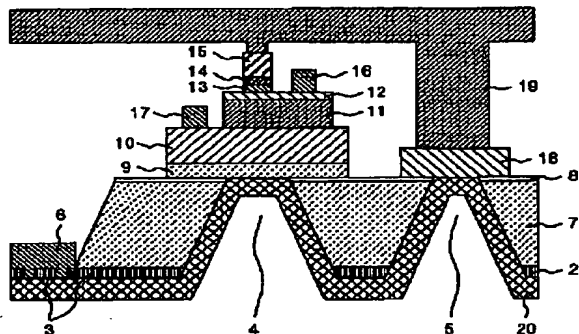
21…トランジスタ領域

22…トランジスタチップ

23…MMICチップ

【図1】

図 1



2…アンドープInGaP層 3…合わせマーク 4…放熱穴
5…バイアホール 6…SiO₂ 7…アンドープGaAsバッファ層
8…アンドープInGaPエッチングストップ層
9…アンドープGaAsバッファ層
10…高ドープn型GaAsサブコレクタ層
11…n型GaAsコレクタ層 12…高ドープp型GaAsベース層
13…n型InGaPエミッタ層
14…高ドープn型InGaAsキャップ層 15…エミッタ電極
16…ベース電極 17…コレクタ電極 18…バイアホール用表面電極
19…空中配線 20…基板裏面被膜金属膜

【図2】

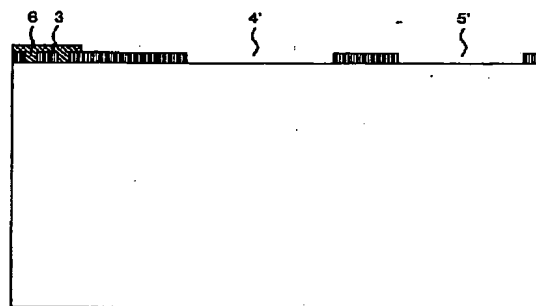
図 2



1…GaAs基板 2…アンドープInGaP層

【図3】

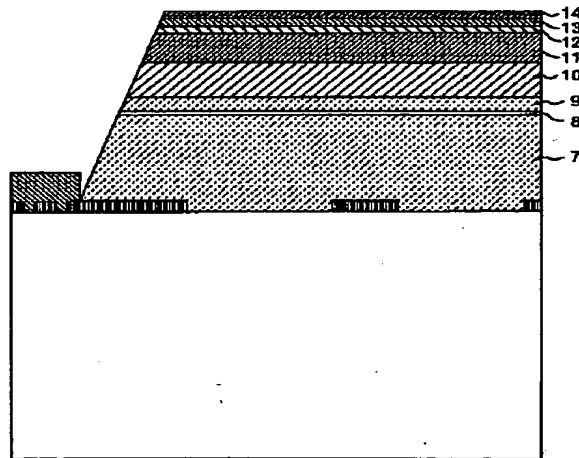
図 3



3…合わせマーク 4…放熱穴の形成領域
5…バイアホールの形成領域 6…SiO₂

【図4】

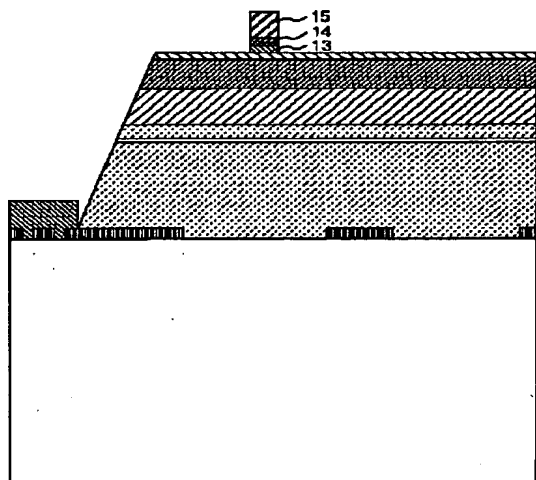
図 4



7…アンドープGaAsバッファ層
8…アンドープInGaPエッチングストップ層
9…アンドープGaAsバッファ層
10…高ドープn型GaAsサブコレクタ層
11…n型GaAsコレクタ層 12…高ドープp型GaAsベース層
13…n型InGaPエミッタ層
14…高ドープn型InGaAsキャップ層

【図5】

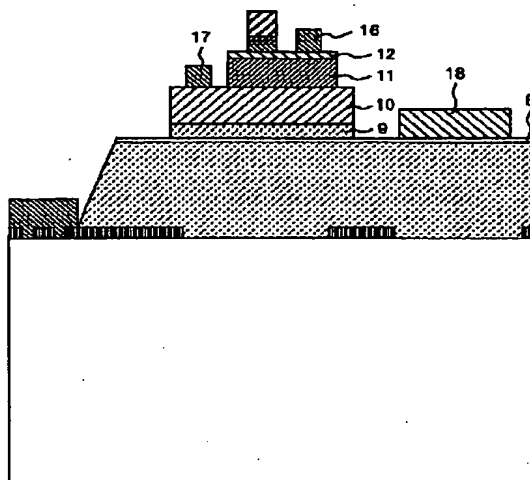
図 5



13…n型InGaPエミッタ層
14…高ドープn型InGaAsキャップ層
15…エミッタ電極

【図6】

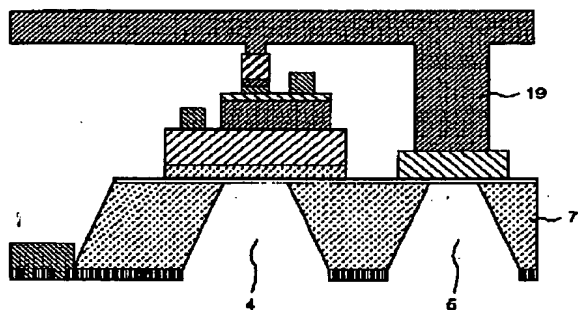
図 6



8…アンドープInGaPエッチングストップ層
9…アンドープGaAsバッファ層
10…高ドープn型GaAsサブコレクタ層
11…n型GaAsコレクタ層 12…高ドープp型GaAsベース層
16…ベース電極 17…コレクタ電極 18…バイアホール用表面電極

【図7】

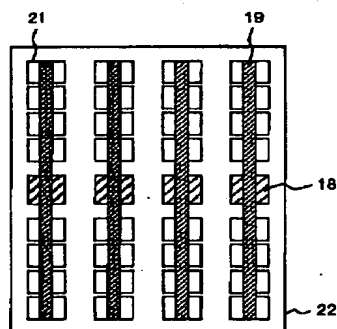
図 7



4…放熱穴 5…バイアホール
7…アンドープGaAsバッファ層 19…空中配線

【図8】

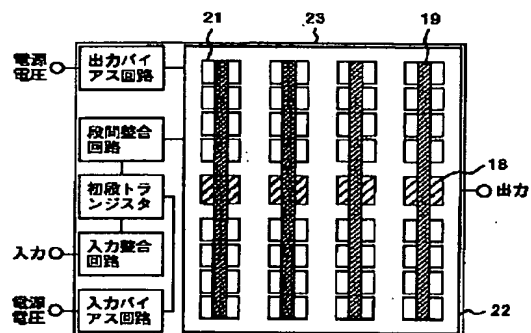
図 8



18…バイアホール用表面電極 19…空中配線
21…トランジスタ領域 22…トランジスタチップ

【図9】

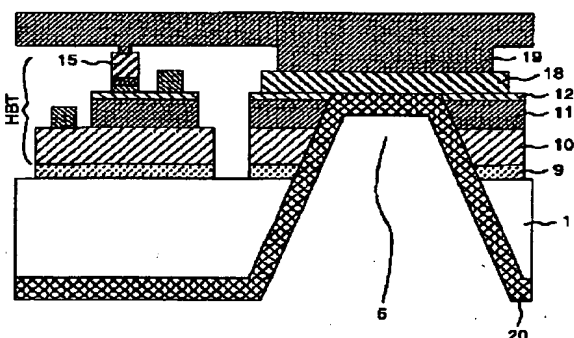
図 9



18…バイアホール用表面電極 19…空中配線
21…トランジスタ領域 22…トランジスタチップ
23…MMICチップ

【図10】

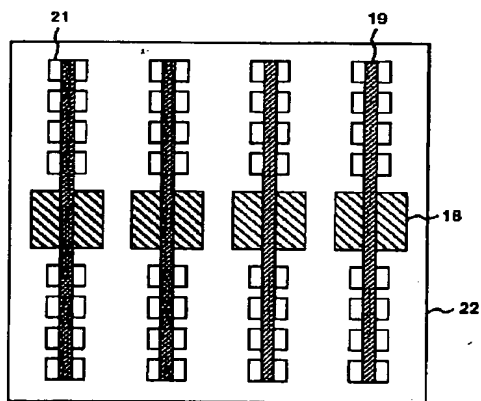
図 10



1…GaAs基板 5…バイアホール
9…アンドープGaAsバッファ層
10…高ドーパ型GaAsサブコレクタ層
11…n型GaAsコレクタ層 12…高ドーパ型GaAsベース層
15…エミッタ電極 18…バイアホール用表面電極 19…空中配線
20…基板裏面被膜金属膜

【図11】

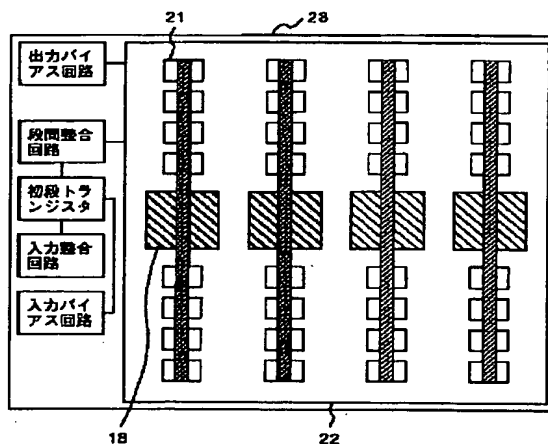
図 11



18…バイアホール用表面電極 19…空中配線
21…トランジスタ領域 22…トランジスタチップ

【図12】

図 12



18…バイアホール用表面電極 21…トランジスタ領域
22…トランジスタチップ 23…MMICチップ